

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**Detector and storage circuit used with non-volatile memories such as EPROM, EEPROM, etc., comprises detector circuit, high voltage circuit, and storage cell**

**Patent number:** FR2794867  
**Publication date:** 2000-12-15  
**Inventor:** DEVIN JEAN  
**Applicant:** ST MICROELECTRONICS SA (FR)  
**Classification:**  
- **International:** G01R19/165; G11C11/00  
- **European:** G11C16/12, G11C16/22V  
**Application number:** FR19990007458 19990608  
**Priority number(s):** FR19990007458 19990608

**Abstract of FR2794867**

Detector and storage circuit comprises detector circuit (13) for detecting overvoltage of value larger than maximal admitted value ( $V_{ccmax}$ ) above power supply ( $V_{cc}$ ); high voltage circuit (11) producing high programming voltage (HT) from power supply; and storage cell (12). Detector circuit supplies command signal on output terminal (24) if overvoltage is detected. High voltage circuit receives power supply on supply input terminal (E), and command signal of validation input terminal (val). Memory cell has validation input terminal (e1) receiving command signal, high voltage input terminal (e2) receiving high voltage (HT), and low voltage input terminal (e3) receiving power supply.

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication : **2 794 867**

(à n'utiliser que pour les  
commandes de reproduction)

②1 N° d'enregistrement national : **99 07458**

⑤1 Int Cl<sup>7</sup> : G 01 R 19/165, G 11 C 11/00

⑫

# DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 08.06.99.

③0 Priorité :

④3 Date de mise à la disposition du public de la  
demande : 15.12.00 Bulletin 00/50.

⑤6 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

⑥0 Références à d'autres documents nationaux  
apparentés :

⑦1 Demandeur(s) : *STMICROELECTRONICS SA*  
*Société anonyme — FR.*

⑦2 Inventeur(s) : DEVIN JEAN.

⑦3 Titulaire(s) :

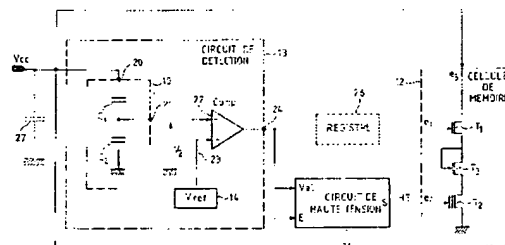
⑦4 Mandataire(s) : CABINET BALLOT SCHMIT.

⑤4 CIRCUIT DE DETECTION ET DE MEMORISATION D'UNE SURTENSION.

⑤7 L'invention concerne un circuit de détection et de mémorisation d'une surtension pour détecter et mémoriser l'application d'une surtension de la tension d'alimentation appliquée à un circuit intégré. Pour ce faire l'invention utilise un circuit de détection (13) qui fournit un signal de commande si une surtension est détectée, un circuit de haute tension (11) qui produit une haute tension de programmation à partir de la tension d'alimentation si une surtension est détectée et une cellule de mémoire (12).

Dans un mode préféré de réalisation, le circuit de détection (13) comprend un pont diviseur capacitif (10), une source de tension (14) et un comparateur (Comp).

L'invention est plus particulièrement applicable à pour des mémoires programmables électriquement.



FR 2 794 867 - A1



Circuit de détection et de mémorisation d'une surtension

L'invention a pour objet un circuit de détection et de mémorisation d'une surtension. L'invention est plus particulièrement applicable à des mémoires de type EPROM, EEPROM ou FLASH, c'est-à-dire des mémoires non-volatiles  
5 programmables électriquement.

Dans les mémoires non-volatiles programmables électriquement, il est courant de devoir utiliser des hautes tensions, de l'ordre de 10 à 20 V. Ces hautes tensions sont nécessaires pour programmer ou  
10 éventuellement effacer ces mémoires, c'est-à-dire stocker ou déstocker des charges dans la grille flottante d'un transistor à grille flottante, élément de base de ces mémoires non-volatiles.

Les circuits d'alimentation externes fournissent  
15 rarement cette haute tension. En particulier pour des applications dites embarquées, lorsque les mémoires sont utilisées dans des circuits intégrés pour cartes à puce par exemple, la haute tension doit nécessairement être produite à l'intérieur de la mémoire. Le plus souvent,  
20 cette haute tension est fournie, à partir d'une alimentation générale basse tension, par un circuit élévateur de tension, de type pompe de charge par exemple.

Une pompe de charge est habituellement réalisée à  
25 partir de condensateurs, de transistors et/ou de diodes. La pompe de charge est un élément fragile des mémoires non-volatiles. En effet, les condensateurs qui la composent supportent en général assez mal une surtension de la tension d'alimentation trop importante et/ou d'une  
30 durée trop longue.

Il peut arriver qu'une mémoire subisse une surtension au cours d'une utilisation, c'est-à-dire que l'alimentation générale basse tension de la mémoire prenne ponctuellement une valeur supérieure à une valeur

maximale supportable par la mémoire. Une surtension de la tension d'alimentation est dangereuse pour la mémoire car elle peut endommager, voire détruire, sa pompe de charge et ainsi la rendre inutilisable.

5        Pour limiter les risques de destruction de la pompe de charge par une valeur trop importante de la tension d'alimentation, on utilise des limiteurs de tension : ces limiteurs agissent sur la tension générale d'alimentation pour limiter la haute tension obtenue en sortie de la  
10 pompe de charge.

      L'efficacité des limiteurs de tension n'est pas toujours suffisante pour protéger la mémoire car ils ne limitent pas forcément la tension en tout point du circuit de la pompe de charge. Une surtension peut ainsi  
15 apparaître sur un nœud du circuit de la pompe de charge sans qu'elle soit visible en sortie de ce circuit et donc sans qu'elle soit prise en compte par le limiteur de tension. De plus, le temps de réaction des limiteurs de tension est parfois trop long pour éviter une surtension  
20 de la tension générale d'alimentation.

      Donc, même avec un limiteur de tension, il se peut qu'une mémoire subisse une surtension sans que l'on s'en aperçoive. Ainsi, des fabricants constatent parfois que les composants sont systématiquement rejetés lors d'une  
25 procédure de test en sortie d'une chaîne de production. Pour déterminer pourquoi les composants ont été rejetés et trouver une solution pour remédier à ce problème, il est souvent nécessaire d'effectuer une analyse complète de la chaîne de production et éventuellement de la  
30 conception du produit. Cette analyse est très lourde si on ne sait pas ce qui est arrivé.

      De même, des utilisateurs constatent que certains circuits mal conçus entraînent l'usure prématurée d'un de leurs composants sans qu'il soit facile de connaître  
35 facilement la cause de cette usure et donc d'y remédier si cela est possible.

Pour pallier ces difficultés de diagnostic, l'invention propose un circuit permettant de savoir si un composant a subi ou non une surtension.

Ainsi, l'invention concerne un circuit de détection  
5 et de mémorisation d'une surtension, caractérisé en ce qu'il comprend :

- un circuit de détection pour détecter une surtension d'une valeur supérieure à une valeur maximale admissible d'une tension d'alimentation fournie par une  
10 source de tension d'alimentation, le circuit de détection fournissant un signal de commande si une surtension est détectée,

- un circuit de haute tension pour produire une haute tension de programmation à partir de la tension  
15 d'alimentation, le circuit de haute tension recevant la tension d'alimentation sur une borne d'entrée d'alimentation et le signal de commande sur une borne d'entrée de validation, et

- une cellule de mémoire comportant une borne  
20 d'entrée de sélection pour recevoir le signal de commande, une borne d'entrée haute tension pour recevoir la haute tension et une borne d'entrée basse tension pour recevoir la tension d'alimentation.

Un tel circuit permet ainsi de détecter  
25 l'application d'une surtension sur la tension d'alimentation puis de mémoriser cet événement dans une cellule de mémoire réservée à cet usage. Le contenu de cette cellule de mémoire pourra être lu par ailleurs puis utilisé comme indicateur si nécessaire.

L'invention est particulièrement applicable à des  
30 mémoires non-volatiles car sa mise en œuvre est simple et peu coûteuse dans la mesure où certains éléments nécessaires à la réalisation de l'invention, par exemple la cellule de mémoire, sont déjà implantés dans les  
35 mémoires non-volatiles.

Cependant, l'invention pourrait également être

utilisée pour d'autres types de circuits intégrés.

Préférentiellement, le circuit de détection comporte un pont diviseur capacitif pour fournir une tension image de la tension d'alimentation, une source de tension pour fournir une tension de référence et un comparateur recevant la tension image de la tension d'alimentation sur une première borne d'entrée et la tension de référence sur une deuxième bornes d'entrée.

De préférence également, le pont diviseur capacitif comprend deux éléments capacitifs associés en série. Ce mode de réalisation présente l'avantage de consommer très peu d'énergie, ce qui est particulièrement intéressant pour des applications telles que les circuits intégrés pour carte à puce.

L'invention sera mieux comprise et d'autres particularités et avantages apparaîtront à la lecture de la description d'un exemple préféré de réalisation qui va suivre, en relation avec les dessins ci-joints dans lesquels :

- la figure 1 est un schéma d'un circuit de détection et de mémorisation d'une surtension selon l'invention, et

- la figure 2 est une variante possible d'un élément du circuit de détection.

Le circuit de détection et de mémorisation d'une surtension de la figure 1 comprend un circuit de détection (13), un circuit de haute tension (11) et une cellule de mémoire (12).

Le circuit de détection (13) comprend un pont diviseur capacitif (10), une source de tension (14) et un comparateur (Comp).

Le pont diviseur capacitif (10) a une borne d'entrée (20) qui est connectée à une source d'alimentation qui fournit une tension d'alimentation ( $V_{cc}$ ) et une borne de sortie (21) qui est connectée à une borne d'entrée (22) dite positive (+) du comparateur

(Comp).

De préférence, le pont diviseur capacitif (10) comprend deux éléments capacitifs ( $C_1$ ,  $C_2$ ) montés en série. Une des bornes de l'élément capacitif ( $C_1$ ) est connectée à la borne d'entrée (20) et une des bornes de l'élément capacitif ( $C_2$ ) est connectée à la masse. Le point commun des éléments capacitifs ( $C_1$ ,  $C_2$ ) est connecté à la borne de sortie (21) et est au potentiel

$$V_2 = V_{cc} * C_1 / (C_1 + C_2)$$

c'est-à-dire à une tension ( $V_2$ ) qui est l'image de la tension d'alimentation ( $V_{cc}$ ).

La source de tension (14) fournit une tension de référence ( $V_{ref}$ ) qui est appliquée à une borne d'entrée (23) dite négative (-) du comparateur (Comp). Une telle source de tension est par exemple obtenue à l'aide d'une ou plusieurs diodes Zener ou bien à l'aide d'un ou plusieurs transistors bipolaires, ce second mode de réalisation étant connu sous l'expression anglo-saxonne "Bandgap Voltage Reference" pour référence de tension à barrière de potentiel. Une telle source de tension de référence doit être stable en température.

Le comparateur (Comp) fournit, sur sa borne de sortie (24) qui correspond à celle du circuit de détection (13), un signal d'état lorsque la tension ( $V_2$ ) est supérieure à la tension de référence ( $V_{ref}$ ).

Le circuit de haute tension (11) comprend une borne d'entrée d'alimentation (E) qui est connectée à la source de tension d'alimentation ( $V_{cc}$ ), une borne d'entrée de validation (val) qui est connectée à la borne de sortie (24) du circuit de détection (13) et une borne de sortie (S) qui fournit une haute tension (HT) appliquée à la cellule de mémoire (12).

La cellule de mémoire (12) comprend une borne d'entrée de validation ( $e_1$ ) qui est connectée à la borne de sortie (24) du circuit de détection (13), une borne d'entrée haute tension ( $e_2$ ) qui est connectée à la borne



de sortie (S) du circuit de haute tension (11) et une borne d'entrée basse tension ( $e_3$ ) qui est connectée à la source de tension d'alimentation ( $V_{cc}$ ).

La borne d'entrée de validation ( $e_1$ ) est connectée à la grille d'un transistor de sélection ( $T_1$ ) dont le drain est connecté à la borne d'entrée basse tension ( $e_3$ ). La source du transistor de sélection ( $T_1$ ) est connectée au drain d'un transistor de mémorisation ( $T_2$ ) à grille flottante par l'intermédiaire d'un transistor ( $T_3$ ) dont le drain est relié à la grille pour réaliser une diode. La grille du transistor de mémorisation ( $T_2$ ) est connectée à la borne d'entrée haute tension ( $e_2$ ) tandis que la source est connectée à la masse.

Le circuit de détection et de mémorisation d'une surtension décrit ci-dessus fonctionne de la manière suivante. Afin de ne pas endommager le circuit de détection et de mémorisation, la tension d'alimentation ( $V_{cc}$ ) ne doit pas dépasser une valeur maximale admissible ( $V_{ccmax}$ ). Par exemple, pour un circuit dont la tension d'alimentation ( $V_{cc}$ ) normale est de l'ordre de 5 V, on peut choisir une valeur maximale admissible ( $V_{ccmax}$ ) de l'ordre de 8 V. En choisissant une source de tension (14) réalisée à l'aide de transistors bipolaires et connue sous l'expression anglo-saxonne "Bandgap Voltage reference" pour référence de tension à barrière de potentiel, on a une tension de référence ( $V_{ref}$ ) de l'ordre de 1,2 V. Les deux éléments capacitifs ( $C_1$ ,  $C_2$ ) sont finalement ajustés de sorte que, à la tension d'alimentation ( $V_{ccmax}$ ), correspond une tension  $V_{2max}$  égale à  $V_{2max} = V_{ccmax} * C_1 / (C_1 + C_2) = V_{ref}$ .

En fonctionnement normal, la tension d'alimentation ( $V_{cc}$ ) est inférieure à sa valeur maximale admissible ( $V_{ccmax}$ ). La tension ( $V_2$ ) est donc inférieure à la tension de référence ( $V_{ref}$ ) et le comparateur (Comp) fournit une tension nulle sur la borne de sortie (24) du circuit de

détection (13).

La borne d'entrée de validation (val) du circuit de haute tension (11) recevant une tension nulle, le circuit de haute tension (11) est inactif et fournit une tension  
5 nulle sur sa borne de sortie (S).

La cellule de mémoire (12) recevant une tension nulle sur sa borne d'entrée de validation ( $e_1$ ) et une tension nulle sur sa borne d'entrée de haute tension ( $e_2$ ), les trois transistors ( $T_1$  à  $T_3$ ) qui la composent sont  
10 bloqués et aucune information n'est enregistrée dans la cellule de mémoire (12).

Si, au cours du fonctionnement, la tension d'alimentation ( $V_{cc}$ ) prend une valeur supérieure à sa valeur maximale admissible ( $V_{ccmax}$ ), la tension ( $V_2$ )  
15 devient supérieure à la tension de référence ( $V_{ref}$ ). Le comparateur fournit alors, sur la borne de sortie (24) du circuit de détection (13), une tension positive, par exemple ( $V_{cc}$ ).

La borne d'entrée de validation (val) du circuit de haute tension (11) recevant une tension positive, le  
20 circuit de haute tension (11) est activé et fournit, sur sa borne de sortie (S), une haute tension (HT) d'amplitude suffisante pour programmer la cellule de mémoire (12), soit environ 10 à 20 V.

La cellule de mémoire (12) recevant une tension positive sur sa borne d'entrée de validation ( $e_1$ ), une haute tension (HT) sur sa borne d'entrée de haute tension ( $e_2$ ) et une tension d'alimentation ( $V_{cc}$ ) sur sa borne d'entrée basse tension ( $e_3$ ), les trois transistors ( $T_1$  à  
25  $T_3$ ) sont saturés et une information est enregistrée dans la cellule de mémoire (12).

De nombreuses variantes du circuit de détection et de mémorisation d'une surtension de la figure 1 peuvent être envisagées, sans sortir du cadre de la présente  
35 invention. Par exemple, le transistor ( $T_3$ ) peut être remplacé par une diode ; il peut même être supprimé car

il n'est réellement utile que pour limiter la tension appliquée sur le drain du transistor de mémorisation ( $T_2$ ), en particulier pour des opérations de lecture. En effet, par exemple pour des mémoires de type FLASH, une tension  
5 de 2 à 3 V appliquée sur le drain du transistor de mémorisation ( $T_2$ ) est suffisante pour permettre la lecture de son contenu. Si on applique systématiquement la tension d'alimentation ( $V_{cc}$ ) sur le drain du transistor de mémorisation ( $T_2$ ), on risque à terme de l'endommager en  
10 décalant sa tension de seuil.

D'autres circuits de détection (13) peuvent également être envisagés.

La figure 2 montre une seconde réalisation possible du circuit de détection (13) qui comprend n transistors  
15 ( $Tr_1$  à  $Tr_n$ ) identiques, une source de tension (14), un transistor ( $T_4$ ) et deux inverseurs ( $I_1$ ,  $I_2$ ).

La grille et le drain de chaque transistor ( $Tr_1$  à  $Tr_n$ ) sont reliés ensemble pour réaliser des diodes.

Le drain du transistor ( $Tr_1$ ) est connecté à la  
20 source d'alimentation qui fournit la tension d'alimentation ( $V_{cc}$ ) et le drain des transistors ( $Tr_2$  à  $Tr_n$ ) est connecté à la source des transistors ( $Tr_1$  à  $Tr_{n-1}$ ). La source du transistor ( $Tr_n$ ) est connectée au drain du transistor ( $T_4$ ) et la source du transistor ( $T_4$ )  
25 est connectée à la masse.

La source de tension (14) fournit une tension de référence ( $V_{ref}$ ) qui est appliquée à la grille du transistor ( $T_4$ ).

Les deux inverseurs ( $I_1$ ,  $I_2$ ), comprenant chacun une  
30 borne d'entrée et une borne de sortie, sont connectés en série. La borne d'entrée (25) de l'inverseur ( $I_1$ ) est connectée au drain du transistor ( $T_4$ ) et est au potentiel  $V_2 = V_{cc} - n \cdot V_T$ ,  $V_T$  étant la tension de seuil des n transistors. La borne de sortie de l'inverseur ( $I_2$ )  
35 correspond à la borne de sortie (24) du circuit de détection (13). L'inverseur ( $I_2$ ) fournit, sur sa borne de

sortie, un signal d'état égal à un "1" logique lorsque la tension ( $V_2$ ) est supérieure à la tension de référence ( $V_{ref}$ ).

Le circuit de détection de la figure 2 est moins  
5 intéressant que celui de la figure 1 car il consomme plus d'énergie.

Selon une variante, le schéma de la figure 1 peut être modifié pour introduire un élément (26) et un élément (27) qui ont été représentés en trait pointillés.

10 Le registre (26) est connecté entre la sortie du circuit de détection (13) et la cellule de mémoire (12). Le registre (26) comprend une borne d'entrée qui est connectée à la borne de sortie (24) du circuit de détection (13) et une borne de sortie qui est connectée à  
15 la borne d'entre de validation ( $e_1$ ) de la cellule de mémoire (12). Le registre (26) permet de mémoriser l'application d'une surtension de la tension d'alimentation ( $V_{cc}$ ) de courte durée, et ce pendant un temps suffisamment long pour permettre la programmation  
20 complète de la cellule de mémoire (12).

L'élément capacitif (27) est connecté entre la source de tension d'alimentation ( $V_{cc}$ ) et la masse. En fonctionnement normal, l'élément capacitif (27) emmagasine de l'énergie. En cas de coupure de la tension  
25 d'alimentation ( $V_{cc}$ ) immédiatement après l'application d'une surtension de la tension d'alimentation ( $V_{cc}$ ), l'élément capacitif (27) permet de disposer d'une réserve d'énergie pour programmer la cellule de mémoire (12). Une telle amélioration est intéressante mais elle nécessite  
30 l'utilisation d'un élément capacitif ayant une capacité importante, de l'ordre de 300 pF.

Le circuit de détection et de mémorisation d'une surtension selon l'invention est de préférence applicable à la détection d'une surtension de la tension  
35 d'alimentation d'une mémoire non-volatile, par exemple de type EPROM, EEPROM ou Flash, car dans ce cas, la cellule

2794867

10

de mémoire (12) est une cellule de cette mémoire.

## REVENDEICATIONS

1. Circuit de détection et de mémorisation d'une surtension pour mémoire programmable électriquement, caractérisé en ce qu'il comprend :

5 - un circuit de détection (13) pour détecter une surtension d'une valeur supérieure à une valeur maximale admissible ( $V_{ccmax}$ ) d'une tension d'alimentation ( $V_{cc}$ ) fournie par une source de tension d'alimentation, le circuit de détection (13) fournissant, sur une borne de sortie (24), un signal de commande si une surtension est  
10 détectée,

- un circuit de haute tension (11) pour produire une haute tension (HT) de programmation à partir de la tension d'alimentation ( $V_{cc}$ ), le circuit de haute tension (11) recevant la tension d'alimentation ( $V_{cc}$ ) sur  
15 une borne d'entrée d'alimentation (E) et le signal de commande sur une borne d'entrée de validation (val), et

- une cellule de mémoire (12) comportant une borne d'entrée de validation ( $e_1$ ) pour recevoir le signal de commande, une borne d'entrée haute tension ( $e_2$ ) pour  
20 recevoir la haute tension (HT) et une borne d'entrée basse tension ( $e_3$ ) pour recevoir la tension d'alimentation ( $V_{cc}$ ).

2. Circuit selon la revendication 1, dans lequel le circuit de détection (13) comprend un pont diviseur  
25 capacitif (10) pour fournir une tension ( $V_2$ ), la tension ( $V_2$ ) étant une image de la tension d'alimentation ( $V_{cc}$ ), une source de tension (14) pour fournir une tension de référence ( $V_{ref}$ ), et un comparateur (Comp) recevant la tension ( $V_2$ ) sur une première borne d'entrée et la tension  
30 de référence ( $V_{ref}$ ) sur une deuxième borne d'entrée et fournissant le signal de commande si la tension ( $V_2$ ) est supérieure à la tension de référence ( $V_{ref}$ ).

3. Circuit selon la revendication 1, dans lequel le circuit de détection (13) comprend :

- n transistors ( $Tr_1$  à  $Tr_n$ ) identiques, n étant un nombre entier, la grille et le drain de chaque transistor ( $Tr_1$  à  $Tr_n$ ) étant connectés ensemble, le drain du transistor ( $Tr_1$ ) étant connecté à la source de tension d'alimentation, le drain des transistors ( $Tr_2$  à  $Tr_n$ ) étant connecté à la source des transistors ( $Tr_1$  à  $Tr_{n-1}$ ),

- un transistor ( $T_4$ ) dont le drain est connecté à la source du transistor ( $Tr_n$ ) et dont la source est reliée à la masse,

10 - une source de tension (14) qui fournit une tension de référence ( $V_{ref}$ ) appliquée à la grille du transistor ( $T_4$ ), et

- deux inverseurs ( $I_1$ ,  $I_2$ ) comprenant chacun une borne d'entrée et une borne de sortie, les deux inverseurs ( $I_1$ ,  $I_2$ ) étant connectés en série, la borne d'entrée de l'inverseur ( $I_1$ ) étant connectée au drain du transistor ( $T_4$ ), la borne de sortie de l'inverseur ( $I_2$ ) correspondant à la borne de sortie (24) du circuit de détection (13).

20 4. Circuit selon la revendication 1, dans lequel la cellule de mémoire (12) comprend au moins un transistor de sélection ( $T_1$ ) et un transistor de mémorisation ( $T_2$ ), les grilles de commande des transistors de sélection ( $T_1$ ) et de mémorisation ( $T_2$ ) étant connectées respectivement à la borne d'entrée de sélection ( $e_1$ ) et à la borne d'entrée haute tension ( $e_2$ ) de la cellule de mémoire (12), le drain du transistor de sélection ( $T_1$ ) correspondant à la borne d'entrée basse tension ( $e_3$ ) de la cellule de mémoire (12), la source du transistor de sélection ( $T_1$ ) étant connectée au drain du transistor de mémorisation ( $T_2$ ), la source du transistor de mémorisation étant connectée et la masse.

30 5. Circuit selon la revendication 4, dans lequel la cellule de mémoire (12) comprend de plus un transistor ( $T_3$ ), connecté entre le transistor de sélection ( $T_1$ ) et le transistor de mémorisation ( $T_2$ ), le drain et la source du transistor ( $T_3$ ) étant connectés

respectivement à la source du transistor de sélection ( $T_1$ ) et au drain du transistor de mémorisation ( $T_2$ ), la grille et le drain du transistor ( $T_3$ ) étant connectés ensemble.

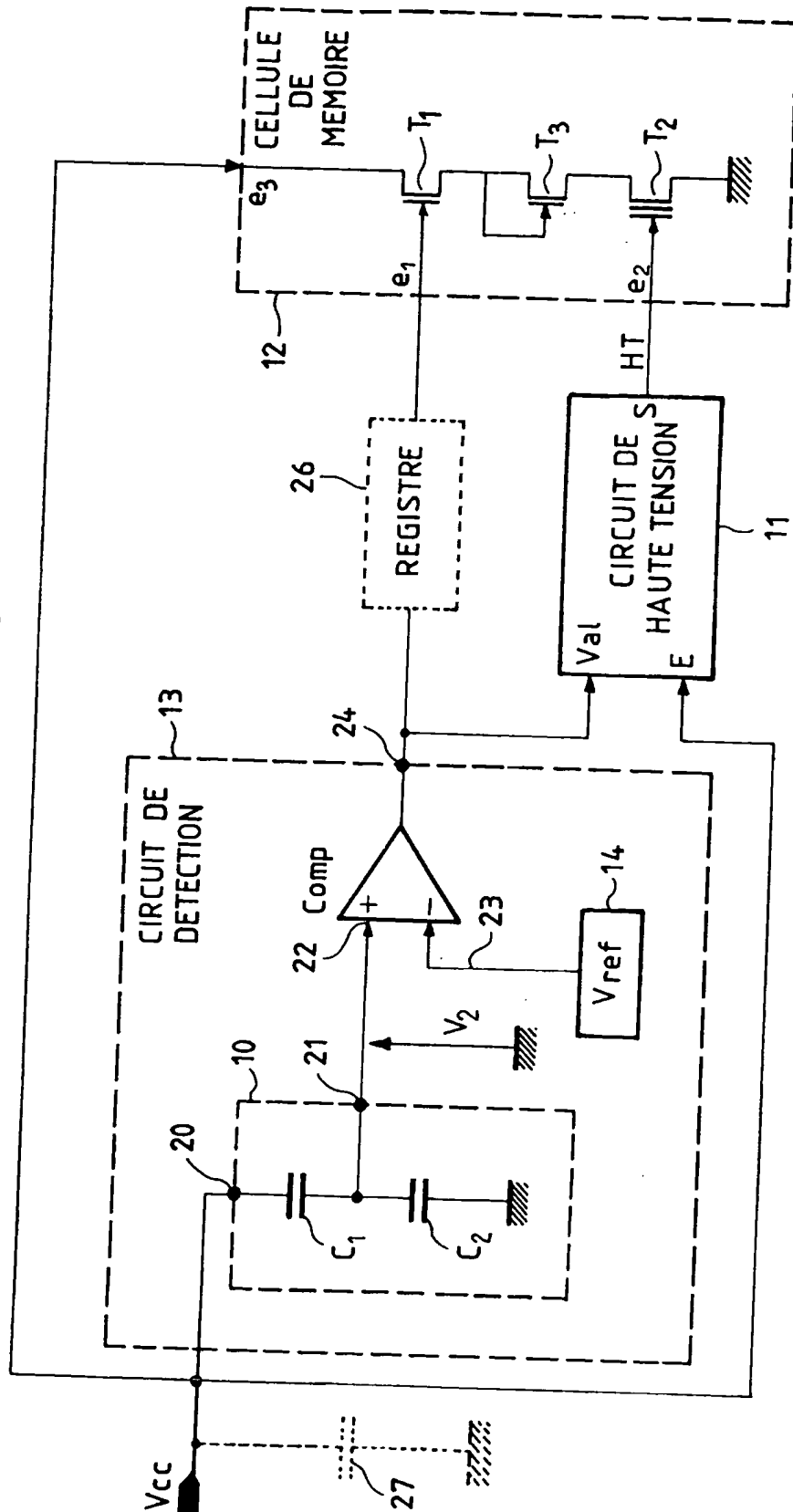
5 6. Circuit selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comprend en outre un registre (26) pour mémoriser l'application d'une surtension de la tension d'alimentation ( $V_{cc}$ ), le registre (26) comportant une  
10 borne d'entrée connectée à la borne de sortie (24) du circuit de détection et une borne de sortie connectée à la borne d'entrée de validation ( $e_1$ ) de la cellule de mémoire (12).

15 7. Circuit selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comprend en outre un élément capacitif (27) pour emmagasiner de l'énergie, une borne de l'élément capacitif (27) étant connectée à la source de tension d'alimentation ( $V_{cc}$ ), l'autre borne étant connectée à la masse.

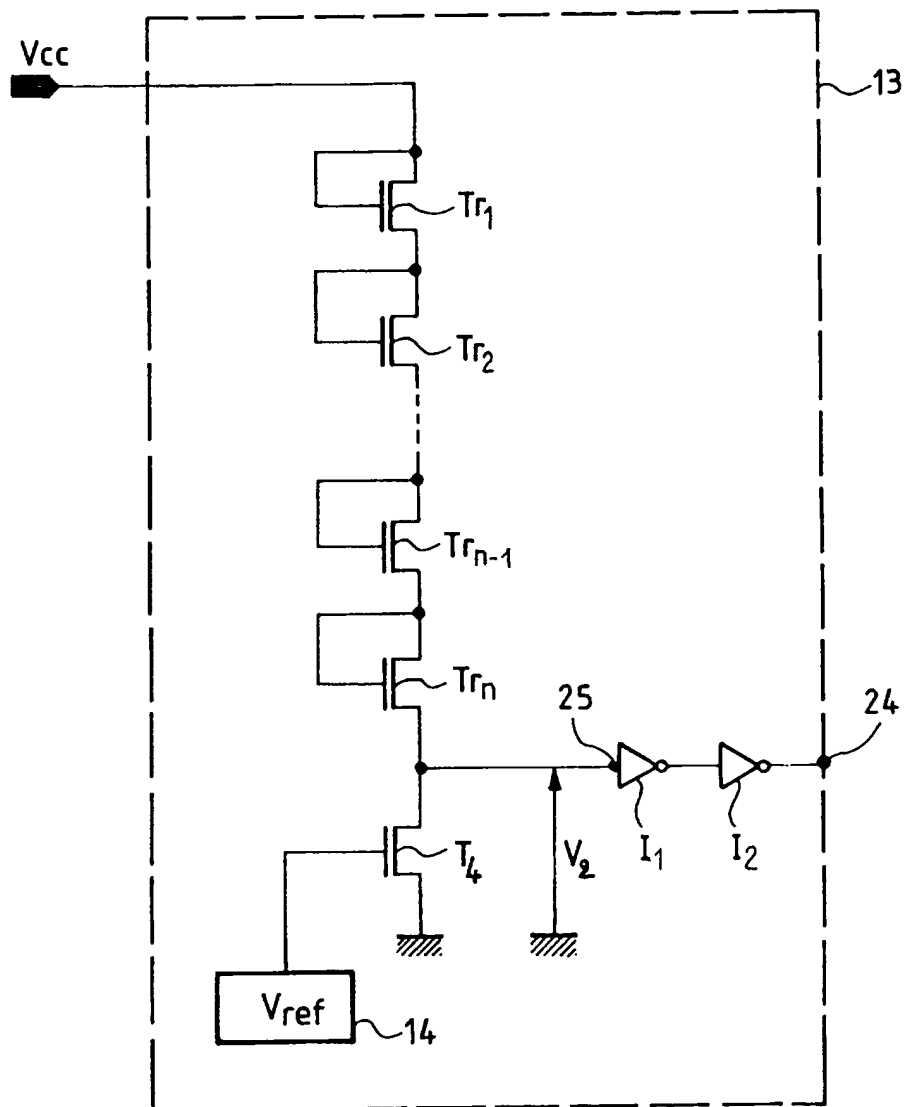


1/2

FIG-1



2/2

FIG\_2

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	US 5 896 324 A (JANG TAE-SUNG ET AL) 20 avril 1999 (1999-04-20) * colonne 3, ligne 53 - colonne 4, ligne 40 * * figure 3 *	1
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 159 (P-1711), 16 mars 1994 (1994-03-16) & JP 05 325580 A (MITSUBISHI ELECTRIC CORP), 10 décembre 1993 (1993-12-10) * abrégé * * figure 1 *	2
A	EP 0 788 116 A (OKI ELECTRIC IND CO LTD) 6 août 1997 (1997-08-06) * colonne 3, ligne 33 - colonne 4, ligne 7 * * figure 1 *	3
A	BURSKY D: "FLASH EEPROM TAKES CHANGES IN PLACE BY CUTTING PROGRAMMING SIGNAL TO 5 V" ELECTRONIC DESIGN, US, PENTON PUBLISHING, CLEVELAND, OH, vol. 37, no. 23, 9 novembre 1989 (1989-11-09), page 30 XP000072373 ISSN: 0013-4872 * figure 1 *	4
A	EP 0 768 675 A (SGS THOMSON MICROELECTRONICS) 16 avril 1997 (1997-04-16) * abrégé * * colonne 40, ligne 56 - colonne 41, ligne 26 *	6
-/-		
Date d'achèvement de la recherche		Examineur
3 février 2000		Colling, P
<p><b>CATÉGORIE DES DOCUMENTS CITÉS</b></p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons &amp; : membre de la même famille, document correspondant</p>		

EPO FORM 1503 (04.98) (Fr/Ct)

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendication concernée de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	US 5 428 252 A (WALKER ANDRE B ET AL) 27 juin 1995 (1995-06-27) * figure 1 * * revendication 5 * * figure 1 * * colonne 3, ligne 49 - colonne 4, ligne 3 *	7
		DOMAINES TECHNIQUES RECHERCHES (Int. CL.7)
Date d'achèvement de la recherche 3 février 2000		Examineur Colling, P
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons &amp; : membre de la même famille, document correspondant</p>		

1  
EPO FORM 1003 (04/95) (mod. 1/95)